

EVOLUTION OF ASSOCIATIVE PARALLEL ARCHITECTURES

T. V. Snytnikova

Institute of Computational Mathematics and Mathematical Geophysics SB RAS,
630090, Novosibirsk, Russia

The hardware currently in use is primarily targeted to address data processing. But the Von Neuman's architecture is not the only architecture type. The paper presents an overview of associative (content-addressable) parallel architectures from the first industrial associative processor STARAN to the modern ATLAS Fast TracKer. Such an architecture performs data parallelism at the basic level, provides massively parallel search by contents, and allows one using two-dimensional tables as basic data structures. However, to solve tasks on these systems, it is necessary to construct new approaches and methods which take into account the advantages of this architecture. Programming paradigms for associative parallel computers was formulated by Potter. The key paradigm of associative processors is the constant runtime of the logical and arithmetic data array operations.

The first commercially successful version of associative parallel processor was STARAN (Stellar Attitude Reference and Navigation). It was developed by Goodyear Aerospace and produced in 1972. An associative processor array consists of 256 1-bit processor elements, a matrix memory, and a flip network. The matrix memory contains 256 words 256 bits long. Flip net allows one to move data between PE in parallel. Up to 32 associative processor arrays are connected to the one control logic unit, which is connected to host. The next associative system ASPRO (Airborne Associative Processor) was developed on the STARAN base in 1982. The ASPRO was used in US air traffic control system.

After that, in 1991, a parallel associative processor IXM2 was developed for ETL (ElectroTechnical Laboratory, Japan) for processing knowledge and for processing semantic networks. The IXM2 contains 64 associative processors and 9 network processors for communications. Eight associative processors and one network processor form a processing module. All associative processors in a processing module are completely interconnected each other and are connected to one network processor. And eight processing moduls are also completely interconnected each other and are connected to one network processor, which has the connection with the host. The IXM2 was used in the computer translating systems ASTRAL and EBMT (Example-Based Machine Translation) and the real time oral speech translating system TDMT (Transfer-Driven Machine Translation).

The next system, Rudger's CAM2000 was developed at Rutgers University with the support of NASA in 1993. It combines the capabilities of an associative processor, an association memory and dynamic random access memory in the crystal. The CAM2000 architecture is a tree connected machine consisting of four pairwise connected components: a tree, a leaf, a memory, and input/output devices. A tree component consists of three tree-cells connected in the form of a binary tree. They perform global operations on data located in leaf-cells. A leaf-cell consists of a processor, a bank of local registers, a local memory, and one parallel shift register that forms the I/O components. Leaf-cells perform local operations on data located in their memory and in a variety of registers.

The last reviewed system is ATLAS Fast Tracker (FTK) System of Large Hadron Collider. The FTK system was designed as part of the detector ATLAS, designed to research the processes with high-energy particles as Higgs bason. So, the tracking system should provide the run-time processing of huge data (about 1PB per second, and 10^9 matching per each 10^{-9} seconds) with restrictions on space and power consumption. The FTK system includes 128 independent associative processors AMBSLP (summary 8192 AMchips and more then 2000 FPGA).

The ATLAS FastTracKer is planned to make suitable for portable devices. And the FastTracKer may be useful to solve problems of high-energy physics, medical imaging, and research the visual functions of the brain. So, each of the considered associative parallel architectures was built to solve specific problems that could not be effectively solved on the systems of another architecture. Associative parallel computing develops in three directions: new hardware (associative memory chips, associative processors and systems), associative parallel models and associative parallel algorithms, the implementation of associative models on existing hardware.

Key words: associative parallel architectures, SIMD, IXM2, Rutgers CAM2000, ATLAS FTK.

References

1. Krikelis A., Weems C. C.. Associative processing and processors // *Computer*. 1994. 27(11). P. 12–17.
2. Pagiantzis K., Sheikholeslami A. Content-addressable memory (cam) circuits and architectures: a tutorial and survey // *IEEE Journal of Solid-State Circuits*. 2006. 41(3). P. 712–727.
3. Kocak T., Basci F. A power-efficient team architecture for network forwarding tables // *Journal of Systems Architecture*. 2006. 52(5). P. 307 — 314.
4. Noda H., Inoue K., Kuroiwa M. and el. A cost-efficient high-performance dynamic TCAM with pipelined hierarchical searching and shift redundancy architecture // *IEEE Journal of Solid-State Circuits*. 2005. 40: P. 245–253.
5. Potter J. L. *Associative Computing: A Programming Paradigm for Massively Parallel Computers* / Perseus Publishing, 1991.
6. Jalaleddine S. M. Associative memories and processors: The exact match paradigm // *Journal of King Saud University — Computer and Information Sciences*. 1999. 11(Supplement C). P. 45–67.
7. GOST 15971–90. *Sistemy obrabotki informatsii. Terminy i opredeleniya* [Information processing systems. Terms and Definitions]. 1991. P. 4.
8. Clements A. *The Principles of Computer Hardware* / Oxford University Press, 2000.
9. Tanenbaum A. S. *Structured Computer Organization* / Prentice Hall PTR, 1998.
10. Rudolph J. A. A production implementation of an associative array processor: Staran. In *Proceedings of the December 5-7, 1972, Fall Joint Computer Conference, Part I, AFIPS '72 (Fall, part I)*, New York, NY, USA, 1972. ACM. P. 229–241.
11. Foster C. C. *Content addressable parallel processors* / Caxton C. Foster / Van Nostrand Reinhold New York, 1976.
12. Batcher K. E. Design of a massively parallel processor // *IEEE Transactions on Computers*. 1980. 29(9). P. 836–840.
13. Batcher K. E. Staran parallel processor system hardware // In *Proceedings of the May 6-10, 1974, National Computer Conference and Exposition, AFIPS '74*. New York, NY, USA, 1974. ACM. P. 405–410.
14. GER-15637A. *STARAN S APPLE Programming Manual* / GOODYEAR AEROSPACE CORPORATION, OHIO. 1973.
15. Davis E. W. Staran parallel processor system software // *Proceedings of the May 6-10, 1974, National Computer Conference and Exposition, AFIPS '74*, New York, NY, USA, 1974. ACM. P. 17–22.
16. Batcher K. E. Bit-serial parallel processing systems // *IEEE Transactions on Computers*. 1982. 31(5). P. 377–384.
17. Uhr L. M. *Algorithm-Structured Computer Arrays and Networks: Architectures and Processes for Images, Precepts, Models, Information* / Academic Press, Inc., Orlando, FL, USA, 1984.
18. Wang H., Walker R. A. Implementing a scalable asc processor / *Parallel and Distributed Processing Symposium, 2003. Proceedings. International*. 2003.

19. Mingxian J. Associative operations from masc to GPU // PDPTA'15 — The 21st International Conference on Parallel and Distributed Processing Techniques and Applications. Las Vegas: CSREA Press, 2015. P. 388–393.
20. Snytnikova T. V., Snytnikov A. V. Implementation of the star-machine on GPU // NCC Bulletin. 2016. 39. P. 51–60.
21. Snytnikova T. V., Nepomniaschaya A. Sh. Solution of Graph Problems by Means of the Star-Machine being implemented on GPUs // Prikladnaya Diskretnaya Matematika. 2016. 3(33). P. 98–115.
22. Higuchi T., Kitano H., Furuya T., Handa K., Kokubu A., Takahashi N. Ixm2: A parallel associative processor for knowledge processing // In Thomas L. Dean and Kathleen McKeown, editors, AAAI. AAAI Press / The MIT Press. 1991. P. 296–303.
23. Higuchi T., Furuya T., Handa K., Takahashi N., Nishiyama H., Kokubu A. Ixm2: A parallel associative processor // In Proceedings of the 18th Annual International Symposium on Computer Architecture, ISCA '91, New York, NY, USA, 1991. ACM. P. 22–31.
24. Higuchi T., Furuya T., Handa K., Kokubu A. Initial evaluation of a parallel associative processor IXM2 // Microprocessing and Microprogramming. 1991. 31(1). P. 89 — 92.
25. Kitano H. Chapter ASTRAL: An Implementation on the IXM2 Associative Memory Processor / Speech-to-Speech Translation: A Massively Parallel Memory-Based Approach. Springer US, Boston, MA, 1994. P. 135–155.
26. Kitano H., Higuchi T., Tomita M. Massively parallel spoken language processing using a parallel associative processor IXM2 // The First International Conference on Spoken Language Processing, ICSLP 1990, Kobe, Japan. 1990. P. 917–920.
27. Oi K., Sumita E., Furuse O., Iida H., Higuchi T. Real-time spoken language translation using associative processors // Proceedings of the Fourth Conference on Applied Natural Language Processing. Stroudsburg, PA, USA, 1994., ANLC'94. P. 101–106.
28. Smith D. E., Hall J. S., Miyake K. Rutgers's CAM2000 Chip Architecture / Rutgers University, Department of Computer Science, Laboratory for Computer Science Research, 1993.
29. Smith D. E., Hall J. S., Miyake K. Rutgers's cam2000 chip architecture. Technical report, 1993.
30. Hsu C. H., Smith D. E., Levy S. Linear-C: A data-parallel extension to C / Technical Report LCSR-TR-273, Computer Science Department, Rutgers University, 1996.
31. Volpi G. Associative memory computing power and its simulation / Technical Report ATL-DAQ-PROC-2014-018, CERN, Geneva. 2014.
32. Annovi A., Beretta M., Bossini E., Crescioli F., Dell'Orso M., Giannetti P., Piendibene M., Sacco I., Sartori L., Tripicciono R. Associative memory design for the fasttrack processor (ftk) at atlas. // Real Time Conference (RT). 2010. 17th IEEE-NPSS. P. 1–3.
33. The ATLAS Collaboration. The atlas experiment at the cern large hadron collider // Journal of Instrumentation. 2008. 3(08). P. S08003.
34. The ATLAS Collaboration. Expected performance of the ATLAS experiment: detector, trigger and physics. CERN, Geneva, 2009.
35. Cho A. The discovery of the higgs boson // Science. 2012. 338(6114). P. 1524–1525.
36. Maznas I. Ftk: The hardware fast tracker of the atlas experiment at CERN // EPJ Web Conf. 2017. 137. P. 12001.
37. Biesuz N., Citraro S., Donati S., et al. Highly parallelized pattern matching execution for ATLAS event real time reconstruction // IEEE Transactions on Nuclear Science (TNS). 2016. 63. P. 1147–1154.
38. Pagiantzis K., Sheikholeslami A. Content-addressable memory (CAM) circuits and architectures: A tutorial and survey. IEEE Journal of Solid-State Circuits. 2006. 41(3). P. 712–727.
39. Dell'Orso M., Ristori L. VLSI structures track finding // Nucl. Instr. and Meth. A. 1989. 278. P. 436–440.

40. Wissing Ch., Baird A., Baldinger R., et al. Performance of the h1 fast track trigger: Operation and commissioning results // Proceedings of the 14th IEEE-NPSS Conference on Real Time, RTC'05, Washington, DC, USA, 2005. IEEE Computer Society, P. 233–236.
41. Bardi A., et al. The CDF online silicon vertex tracker // *Nucl. Instrum. Meth.*. 2002. A485. P. 178–182.
42. Annovi A., Bardi A., Bitossi M., et al. A VLSI processor for Fast Track finding based on content addressable memories // *IEEE Transactions on Nuclear Science*. 2006. 53(4). P. 2428–2433.
43. Masi S. Periodic report summary 1 — FTK (Fast Tracker for Hadron Collider experiments) // Technical Report 324318, Industry-Academia Partnerships and Pathways, Italy. 2015.
44. Asbah N. A hardware fast tracker for the ATLAS trigger // *Physics of Particles and Nuclei Letters*. 2016. 13(5). P. 527–531.
45. Maznas I. FTK: The hardware Fast TracKer of the ATLAS experiment at CERN // Technical Report ATL-DAQ-PROC-2016-033, CERN, Geneva. 2016.
46. Sotiropoulou C. L., Gkaitatzis S., Annovi A., et al. A Multi-Core FPGA-Based 2D-Clustering Implementation for Real-Time Image Processing // *IEEE Trans. Nucl. Sci.* 2014. 61(6). P. 3599–3606.
47. Okumura Y., Liu T., Olsen J., et al. Atca-based atlas FTK input interface system // *Journal of Instrumentation*. 2015. 10(04). P. C04032.
48. Ng K.F., and Rochester Institute of Technology. Computer Engineering. / Novel Low Power CAM Architecture. Rochester Institute of Technology, 2008.
49. Xu W., Zhang T., and Yiran Chen Y. Design of spin-torque transfer magnetoresistive RAM and CAM/TCAM with high sensing and search speed // *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. 2010. 18(1). P. 66–74.
50. Imani M., Rahimi A., Rosing T. S. Resistive configurable associative memory for approximate computing / 2016 Design, Automation Test in Europe Conference Exhibition (DATE).2016. P. 1327–1332.
51. Stempkovskiy A. L., Klimov A. V., Levchenko N. N., Okunev A. S. Metody adaptatsii parallelnoy potokovoy vychislitelnoy sistemy pod zadachi otdelnyh klassov // *Informatsionnye Tehnologii i Vychislitelnye Sistemy*. 2009. 3. P. 12–21.
52. Zmeev D. N. Sredstva proektirovaniya vysokoproizvoditelnyh potokovyh vychislitelnyh sistem // *Problemy Razrabotki Perspektivnyh Mikro- i Nanoelectronnyh sistem (MES)*. 2016. 2. P. 159–163.

РАЗВИТИЕ АССОЦИАТИВНЫХ ПАРАЛЛЕЛЬНЫХ АРХИТЕКТУР

Т. В. Снытникова

Институт вычислительной математики и математической геофизики СО РАН,
630090, Новосибирск, Россия

УДК 004.272

DOI: 10.24411/2073-0667-2019-00006

Существующие в настоящее время аппаратные средства преимущественно ориентированы на адресную обработку данных. В работе представлен обзор ассоциативных параллельных архитектур от первого промышленного ассоциативного процессора STARAN до современного ATLAS Fast TracKer. Каждая из рассматриваемых архитектур была построена под решение конкретных задач, которые не могли быть эффективно решены на системах другой архитектуры.

Ключевые слова: ассоциативные параллельные архитектуры, SIMD, IXM2, Rutgers CAM2000, ATLAS FTK.

Введение. Ассоциативная память (память, адресуемая по содержимому, content-addressable memory, CAM) [1, 2] сравнивает входные данные с содержанием табличной памяти и возвращает адрес соответствующих данных. Поиск данных по табличной памяти CAM производится за один тактовый цикл, поэтому ассоциативная память используется в приложениях, требующих высокой скорости поиска. Также ведутся разработки TCAM (ternary CAM) [3, 4], позволяющей производить более гибкий поиск за счет добавления к „0“ и „1“ третьего значения для сравнения „х“ (или „не важно“). В основном CAM используется в вычислительных системах для скоростных кэшах. Также ассоциативная память используется в сетевых маршрутизаторах и в специализированных системах обработки баз данных и знаний.

Ассоциативные процессоры [5, 6] отличаются от ассоциативной памяти тем, что могут производить не только ассоциативный поиск по данным, но и обработку данных табличной памяти. В работе [5] Поттер выделил парадигмы ассоциативных вычислений, которым должны соответствовать ассоциативные параллельные модели и архитектуры. Одна из ключевых парадигм, отличающая ассоциативные системы от вычислительных систем фон Неймовского типа, — константное выполнение логических и арифметических операции, операции сравнения ($<$, $=$, $>$), поиск минимального и максимального значения над массивом данных.

Так как в работе рассматриваются только ассоциативные параллельные системы, то под архитектурой будем понимать концептуальную структуру вычислительной машины, определяющую проведение обработки информации и включающую методы преобразования информации в данные и принципы взаимодействия технических средств и программного обеспечения [7, 8]. Данное определение соответствует термину компьютерная архитектура Таненбаума [9].

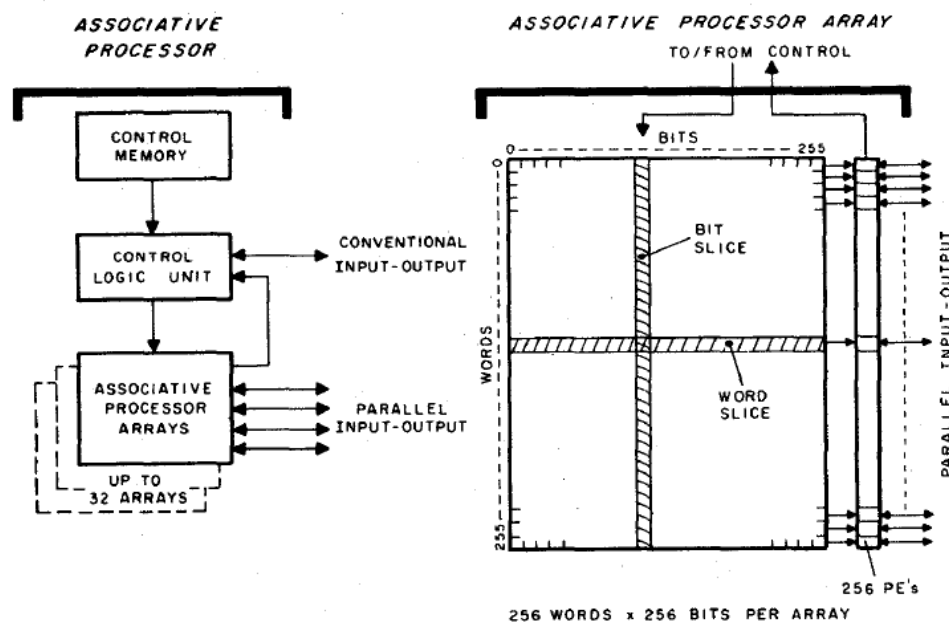


Рис. 1. Структура ассоциативного процессора STARAN

Обзор ассоциативных параллельных архитектур приводится в хронологическом порядке. Во второй секции делается обзор первого ассоциативного параллельного процессора STARAN и разработанной на его базе системы ASPRO. В третьей секции приводится архитектура и области применения процессора IXM2. В четвертой секции рассматривается процессор Rutger's CAM2000. В пятой секции рассматривается ATLAS Fast Tracker — триггерная система детектора ATLAS Большого Адронного Коллайдера, основанная на ассоциативной памяти. В заключении приводятся выводы об использовании ассоциативных параллельных процессоров.

1. STARAN и ASPRO. Первой коммерчески успешной версией ассоциативного параллельного процессора был STARAN (Stellar Attitude Reference and Navigation), разработанный Goodyear Aerospace и выпущен в мае 1972 г [10–13].

Сердцем архитектуры STARAN является ассоциативный процессорный массив, показанный на рис. 1, который состоит из 256 1-битовых процессорных элементов (PE), матричной памяти, флип-сети. Память содержит 256 слов длиной по 256 бит. Доступ к ней производится в двух режимах: в режиме битового слайса (столбца) или в режиме слова. В режиме битового слайса можно получить доступ к одному биту каждого слова, позволяя массиву из 256 PE элементов работать с данными параллельно. В режиме слова все 256 бит одного слова могут быть доступны для эффективного ввода или вывода. Флип-сеть позволяет перемещать данные между ПЭ параллельно. К логическому устройству управления (CONTROL LOGIC UNIT) подключается до 32 ассоциативных процессорных массивов.

Под этот процессор был разработан язык программирования низкого уровня APPLE (Associative Processor Procedure Language) [14, 15].

В 1982 году на базе архитектуры STARAN была разработана система ASPRO (Airborne Associative Processor) [16, 17], использующая чипы VLSI (very-large-scale integration,

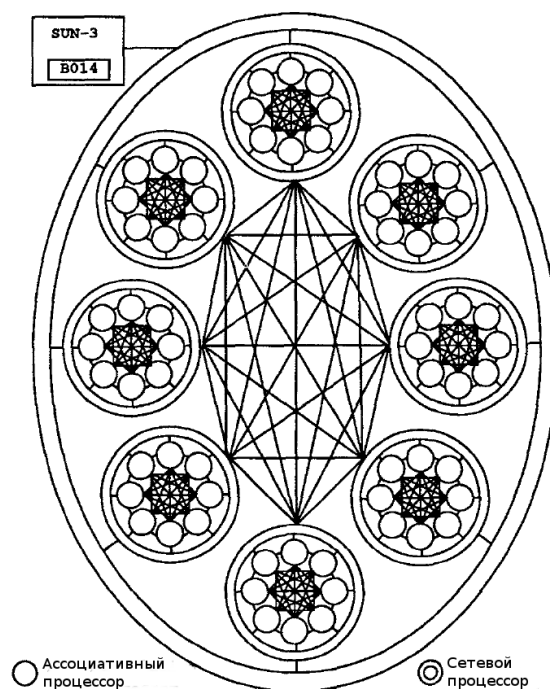


Рис. 2. Структура IXM2

СБИС). Каждый чип содержал 32 PE, соединенных флип-сетью. Таким образом, 1024-процессорная система занимала менее $0,03 \text{ м}^3$. ASPRO разрабатывалась для систем управления воздушными сообщениями США. По данным 1983 года эта система использовалась в радарх самолетов-разведчиков E-2 Hawkeye AWACS ВМС США.

На базе систем STARAN и ASPRO Поттер разработал модели ассоциативного процессора ASC (класс SIMD) и MASC (класс MIMD). В Кентском Государственном Университете ведутся работы по созданию современного ассоциативного параллельного процессора для системы MASC [18] и эффективной реализации этой модели на других архитектурах [19].

Также на базе архитектуры STARAN была разработана модель ассоциативного параллельного процессора Star-машина. Ведется работа по реализации этой модели на графических ускорителях для практического использования разработанных ассоциативных параллельных алгоритмов [20, 21].

2. Процессор IXM2. В 1991 году для ETL (ElectroTechnical Laboratory, Япония) был разработан параллельный ассоциативный процессор IXM2 для обработки знаний [22] и для обработки семантических сетей [23]. IXM2 состоит из 64 АП и 9 сетевых процессоров, имеющих вместе 256 тысяч слов ассоциативной памяти. Это позволяет выполнять базовые операции параллельно над 65 536 вершин семантической сети за константное время. На рис. 2 показана структура IXM2. Восемь АП и один сетевой процессор образуют вычислительный модуль, в котором ассоциативные процессоры связаны все со всеми. Аналогично, восемь вычислительных модулей соединены все со всеми и с выделенным сетевым процессором. Этот сетевой процессор подключен к компьютеру SUN-3.

IXM2 может быть использован как процессор макроинструкций и как процессор семантических сетей [24]. IXM2 в качестве макро-инструкций поддерживает арифметические и логические операции: add, sub, multiplication, less-then, greater-then. Они вычисляются ал-

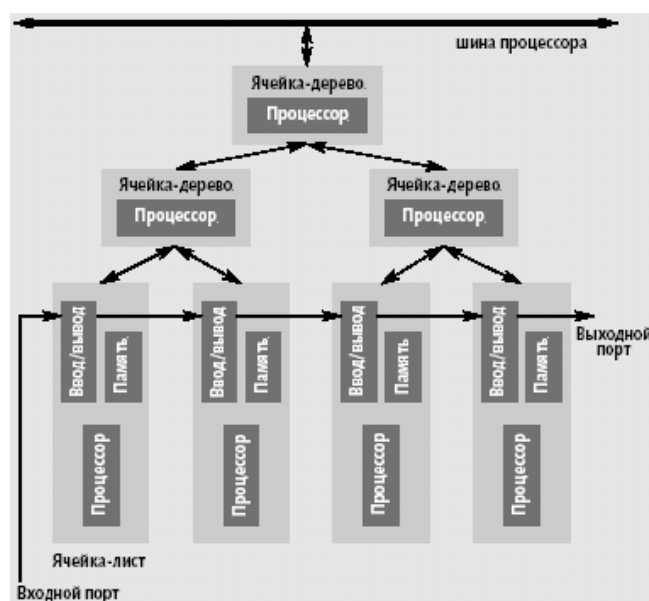


Рис. 3. Структура чипа Rutgers CAM2000

горитмами последовательно по битам, но параллельно по словам. Макроинструкции могут быть вызваны из С-программы на управляющей машине и выполняться параллельно на IXM2.

Обработка семантических сетей — одно из основных приложений IXM2. IXM2 выполняет программы, написанные на языке представления знаний IXL, расширении языка Prolog. Он использует специальные предикаты для обработки семантических сетей в дополнение к предикатам, определенным в языке Prolog. Также использовался для выполнения генетических алгоритмов и поиска по базам знаний.

IXM2 использовался в различных исследовательских проектах ETL, Carnegie Mellon University и the ATR Interpreting Telephony Research Laboratory. На основе процессора IXM2 были построены компьютерная система машинного перевода ASTRAL [25], система машинного перевода EBMT (Example-Based Machine Translation) [26], система TDMT (Transfer-Driven Machine Translation) для перевода устной речи в режиме реального времени [27].

3. Процессор Rutgers CAM2000. В 1993 году при поддержке NASA в Ратгерском университете был разработан чип Rutgers CAM2000 [28, 29]. Он объединяет возможности ассоциативного процессора (AP), ассоциативной памяти (CAM) и динамической памяти с произвольным доступом (DRAM) в одном кристалле.

Архитектура CAM2000 представляет машину с древовидной структурой, состоящей из четырех попарно соединенных компонентов: дерева, листьев, памяти и устройств ввода/вывода. Ячейка-дерево состоит из трех ячеек, соединенных в виде бинарного дерева. Они выполняют глобальные операции над данными, расположенными в ячейках-листьях. Ячейка-лист состоит из процессора, банка локальных регистров, локальной памяти и одного регистра параллельного сдвига, формирующего компоненты ввода/вывода. Ячейки-листья выполняют локальные операции над данными, расположенными в своей памяти и множестве регистров. На рис. 3 показан пример архитектуры CAM2000 с четырьмя ячейками-листьями.

Rudgers CAM2000 использует расширенные версии свойств классических CAM. Следующие четыре расширения существенны для производительности архитектуры CAM2000:

— Длинные слова: архитектура CAM2000 включает в себя как одноразрядные, так и многоразрядные системы, позволяющие производить вычисления над 32-х разрядными словами.

— Глобальные операции: архитектура обеспечивает на аппаратном уровне выполнение таких операций как „число ответчиков“ и „сумма всех значений“.

— Сегментирование: архитектура обеспечивает аппаратный контроль, поддерживающий произвольное разбиение на сегменты всех глобальных операций, что позволяет выполнять глобальные операции одновременно, также как выполняются несегментированные глобальные операции.

— Локальная адресация: конструкция CAM2000 позволяет производить вычисления над разными полями в различных ячейках-листах.

Для процессора были разработаны языки низкого уровня CAML и высокого уровня Linear C [30].

4. FastTrack Processor для ATLAS. В режиме опытной эксплуатации находится крупнейший проект с использованием ассоциативной архитектуры [31]. ATLAS Fast Tracker (FTK) процессор состоит из 8 192 чипов. Каждый чип ассоциативной памяти хранит банк данных со 128 000 паттернов. Любой запрос к данным выполняется по всем элементам памяти одновременно за одинаковое время (10^{-9} с) вне зависимости от размера банка данных. Система ориентирована на решение задач физики высоких энергий.

Система FastTracker Processor (FTK) [32] состоит из подсистем с разными функциями. Устройство форматирования данных собирает данные и пересылает их в обрабатывающие устройства. Устройства ассоциативной памяти выполняют распознавание паттернов заряженных частиц и определение треков частиц.

4.1. Цель проекта и технические особенности. Система FTK проектировалась как часть детектора ATLAS Большого Адронного Коллайдера (Large Hadron Collider, LHC) [33, 34], предназначенного для изучения процессов с высокоэнергетическими частицами. Одна из задач — обнаружение и исследование бозона Хиггса [35].

До 2015 года в LHC сталкивались пучки протонов каждые 50 наносекунд, что в среднем составляет около 20 одновременных индивидуальных протон-протонных взаимодействий (pile-up, PU). После 2015 года пучки сталкиваются каждые 25 наносекунд и составляют 40 одновременных протон-протонных соединений. С повышением светимости LHC до проектируемой в 2026-2035 годах ожидаемое количество протон-протонных взаимодействий при столкновении пучков возрастет до 200-400. При этом бозоны Хиггса образуются в 10^9 раз реже, чем происходят обычные протон-протонные столкновения. Это соответствует частоте 1–10 событий в час. Поэтому задача системы — распознать и сохранить полезные события при значительном подавлении фоновых процессов. Для этого на системе FTK решаются две задачи:

- [PM] pattern matching — сопоставление с паттерном;
- [TF] track fitting — реконструкция треков.

Сопоставление с паттерном выполняют ассоциативные процессоры, а реконструкцию треков — платы на основе FPGA.

В табл. 1 представлены частота столкновений пучков (событий) в LHC, количество одновременных протон-протоновых столкновений на событие (PU), объем данных для записи одного события после подавления нулей и скорость передачи данных с детектора

Таблица 1

Объем и скорость передачи данных с детектора ATLAS

год	частота событий	PU	объем данных	скорость данных
2006	20Mhz	20	0,5 MB	$\approx 10 TB/s$
2014	40Mhz	40	1 MB	$\approx 40 TB/s$
2016	40Mhz	40	1,6 – 1,8 MB	$\approx 80 TB/s$
2026	40Mhz	200-400	2,4 MB	$\approx 1 PB/s$

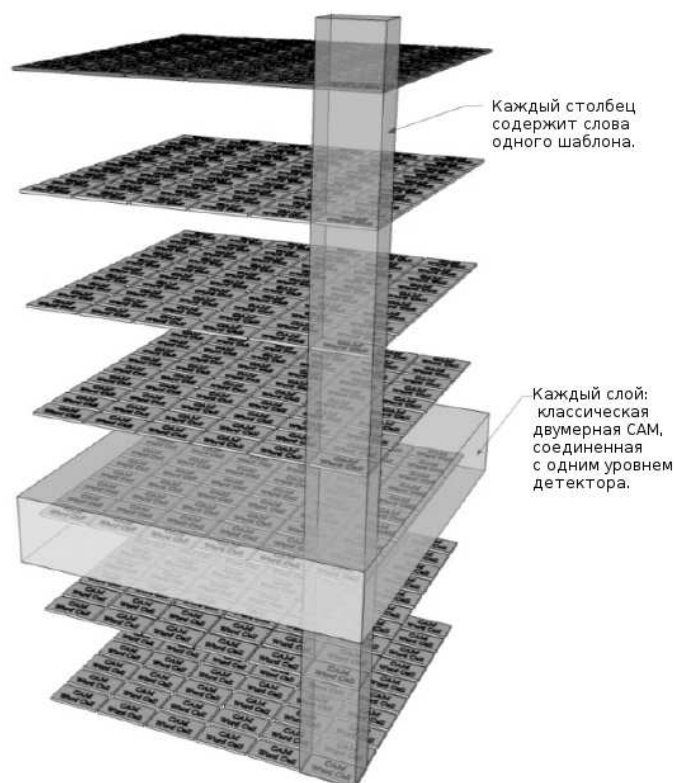


Рис. 4. Структура AM чипа

для обработки на ФТК [36, 37]. Скорость передачи данных на 2026 оценивалась исходя из проектных показателей LS3 модернизации большого адронного коллайдера, планируемого в 2024–2026 гг, после которого LHC перейдет к работе в режиме повышенной светимости.

Таким образом, при разработке системы ФТК учитывались следующие особенности эксплуатации:

- огромный объем обрабатываемых данных;
- обработка в режиме реального времени;
- ограничения по пространству и энергопотреблению;
- сопоставление с паттернами по восьми признакам одновременно;
- большое количество паттернов.

4.2. *Эволюция и характеристики AMchip для Fast TracKer.* Чип AM представляет собой устройство, выполняющее сопоставление с паттерном, подобное памяти, адресуемой по содержимому (SAM) [38]. Однако дизайн AM концептуально отличается от дизайна

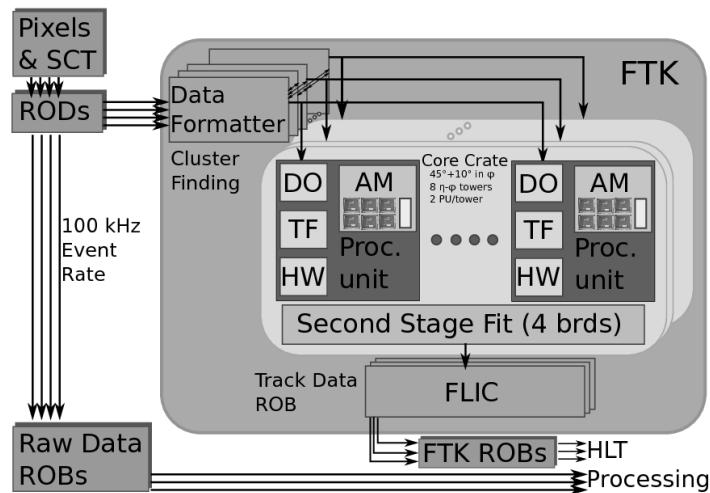


Рис. 5. Структура FTK

САМ (рис. 4). В АМ каждый паттерн хранится не в одном месте памяти, как в коммерческом САМ, но он состоит из 8 независимых 16-битных слов, хранящих координаты частиц, зафиксированные детектором. Инновационная характеристика АМ заключается в том, что каждое из этих 8 слов имеет компаратор и триггер для сравнения непрерывно хранящихся данных (паттернами) с собственным потоком входных данных (hit). Данные отправляются по 8 параллельным шинам, по одному для каждого слова паттерна. Все слова в АМ делают независимые и одновременные сравнения с данными, последовательно представленными на его собственной шине. Каждый раз, когда совпадение найдено, триггер соответствия устанавливается и остается установленным до конца обработки события, когда распространяется сигнал сброса. Паттерн совпадает, когда установлено predetermined количество триггеров (6–8, задается пользователем). Все согласованные паттерны считываются. Подробное описание АМ и его операций описывается в [39].

В эксперименте H1 использовались коммерческие САМ [40]. Каждое битовое слово САМ соответствовало каналу детектора. После роста количества детекторных каналов до $\sim 10^8$ при модернизации LHC этот подход стал невозможен. Кроме того, требовалось переформатировать данные прежде чем отправлять их на вход в САМ. Эта проблема была решена в АМ чипе. Первое АМ-устройство было создано для эксперимента CDF [41] на Tevatron-коллайдере Fermilab.

Используемый в ATLAS Fast TracKer чип АМ представляет собой эволюцию конструкции CDF [42]. Требования к приложению LHC выше, чем требования к CDF: более мощный кремниевый детектор с большим количеством каналов требует большего количества паттернов, а более высокая частота запуска требует более высокой рабочей частоты при сохранении общей потребляемой мощности.

Последняя версия чипа AMchip06 [43] производит 1 млн. сравнений каждые 10 наносекунд и имеет следующие характеристики: объем банка паттернов — 128k, объем памяти — 19Mb на чип, частота — 100 Mhz, энергопотребление 3 Вт, технология — 65nm, размер — 4 см × 4 см.

4.3. *Архитектура и принцип работы системы FTK.* Система FTK [46] включает несколько подсистем, выполняющих разные функции (рис. 5):

- 32 платы форматирования данных (Data Formatter, DF) и встроенные дополнительные платы (RODs), принимающие данные с пиксельных и полосковых датчиков детектора;
- 128 независимых процессоров, состоящих из ассоциативного процессора (AMBSLP: 4 локальных платы с 16 чипами АМ) и вспомогательные карты (AUX) на основе FPGA.
- 32 платы для второй стадии реконструкции треков (Second Stage Fit Boards, SSB)
- 2 интерфейсные карты (FLIC) для передачи данных на второй уровень.

ROD получает данные от 4-х микростриповых датчиков с общим трафиком 500 Гб/с и выполняет кластеризацию данных [47]. После этого DF реорганизует данные для дальнейшей обработки. AUX выполняет два алгоритма: организацию данных (DO) и реконструкции треков (TF). При организации данных, полученных от DF, формируются суперстрипы меньшей размерности (данные с 4-х пиксельных и 4-х микростриповых датчиков) для сопоставления с паттернами на АМ-чипах. Для отобранных данных AUX выполняет реконструкцию треков. Далее полученные треки поступают на повторную реконструкцию в SSB: каждый трек дополняется данными с 4-х микростриповых датчиков, не использованными в сопоставлении с паттернами. FLIC заменяет в полученных треках локальные идентификаторы FTK на глобальные идентификаторы ATLAS и отправляет их через систему считывания данных на триггер высокого уровня (HLS).

4.4. *Области применения процессоров FTK.* Система разработана для детекторов физики высоких энергий. Она используется для проведения экспериментов на LHC на детекторах ATLAS и CMS [47].

Данная система может быть адаптирована для использования в более общих приложениях обработки изображений [43]:

- медицинская визуализация (томография и т. д.);
- системы видео-наблюдения, смарт-камеры;
- задачи высокоскоростной фильтрации данных;
- распознавание форм;
- изучение зрения и других функций мозга.

Заключение. Хотя ассоциативные параллельные системы со времени своего появления не стали широко распространенными, они не утратили своей актуальности. Все реализованные архитектуры были построены под решение конкретных задач, которые не могли быть эффективно решены на системах другой архитектуры: ASPRO для задач контроля воздушного движения, IMX2 для машинного перевода, FastTracker Processor для детектора ATLAS большого адронного коллайдера.

Для использования в проекте ATLAS большого адронного коллайдера были разработаны новые устройства ассоциативной памяти [32, 42]. ATLAS Fast Tracker (FTK) — крупнейшая ассоциативная система из 8 192 чипов ассоциативной памяти. Разработчики планируют ассоциативный процессор, спроектированный для ATLAS FastTracker, сделать пригодными для портативных устройств, а также использовать его для решения задач физики высоких энергий, медицинской визуализации, изучения визуальных функций мозга [43, 48].

Развитие продолжается в трех направлениях: разработка аппаратного обеспечения для ассоциативных параллельных вычислений (чипы ассоциативной памяти [49, 50], ассоциативные процессоры и системы [43, 51, 52]), разработка ассоциативных моделей и алгоритмов для этих моделей, реализация ассоциативных моделей на существующем оборудовании [18–21].

Список литературы

1. Krikelis A., Weems C. C. Associative processing and processors // *Computer*. 1994. 27(11). P. 12–17.
2. Pagiampzis K., Sheikholeslami A. Content-addressable memory (cam) circuits and architectures: a tutorial and survey // *IEEE Journal of Solid-State Circuits*. 2006. 41(3). P. 712–727.
3. Kocak T., Basci F. A power-efficient team architecture for network forwarding tables // *Journal of Systems Architecture*. 2006. 52(5). P. 307 — 314.
4. Noda H., Inoue K., Kuroiwa M. and el. A cost-efficient high-performance dynamic team with pipelined hierarchical searching and shift redundancy architecture // *IEEE Journal of Solid-State Circuits*. 2005. 40: P. 245–253.
5. Potter J. L. *Associative Computing: A Programming Paradigm for Massively Parallel Computers* / Perseus Publishing. 1991.
6. Jalaliddine S. M. Associative memories and processors: The exact match paradigm // *Journal of King Saud University — Computer and Information Sciences*. 1999. 11(Supplement C). P. 45–67.
7. GOST 15971–90. *Sistemy obrabotki informatsii. Terminy i opredeleniya* [Information processing systems. Terms and Definitions]. 1991. P. 4.
8. Clements A. *The Principles of Computer Hardware* / Oxford University Press, 2000.
9. Tanenbaum A. S. *Structured Computer Organization* / Prentice Hall PTR, 1998.
10. Rudolph J. A. A production implementation of an associative array processor: Staran. In *Proceedings of the December 5-7, 1972, Fall Joint Computer Conference, Part I, AFIPS '72 (Fall, part I)*, New York, NY, USA, 1972. ACM. P. 229–241.
11. Foster C. C. *Content addressable parallel processors* / Caxton C. Foster / Van Nostrand Reinhold New York, 1976.
12. Batcher K. E. Design of a massively parallel processor // *IEEE Transactions on Computers*. 1980. 29(9). P. 836–840.
13. Batcher K. E. Staran parallel processor system hardware // In *Proceedings of the May 6-10, 1974, National Computer Conference and Exposition, AFIPS '74*. New York, NY, USA, 1974. ACM. P. 405–410.
14. GER-15637A. *STARAN S APPLE Programming Manual* / GOODYEAR AEROSPACE CORPORATION, OHIO. 1973.
15. Davis E. W. Staran parallel processor system software // *Proceedings of the May 6-10, 1974, National Computer Conference and Exposition, AFIPS '74*, New York, NY, USA, 1974. ACM. P. 17–22.
16. Batcher K. E. Bit-serial parallel processing systems // *IEEE Transactions on Computers*. 1982. 31(5). P. 377–384.
17. Uhr L. M. *Algorithm-Structured Computer Arrays and Networks: Architectures and Processes for Images, Precepts, Models, Information* / Academic Press, Inc., Orlando, FL, USA, 1984.
18. Wang H., Walker R. A. Implementing a scalable asc processor / *Parallel and Distributed Processing Symposium, 2003. Proceedings. International. 2003*.
19. Mingxian J. Associative operations from masc to GPU // *PDPTA'15 — The 21st International Conference on Parallel and Distributed Processing Techniques and Applications*. Las Vegas: CSREA Press, 2015. P. 388–393.
20. Snytnikova T. V., Snytnikov A. V. Implementation of the star-machine on GPU // *NCC Bulletin*. 2016. 39. P. 51–60.
21. Снытникова Т. В., Непомнящая А. Ш. Решение задач на графах с помощью STAR-машины, реализуемой на графических ускорителях // *Прикладная дискретная математика*. 2016. № 3(33). С. 98–115.

22. Higuchi T., Kitano H., Furuya T., Handa K., Kokubu A., Takahashi N. Ixm2: A parallel associative processor for knowledge processing // Editors: Thomas L. Dean and Kathleen McKeown, AAAI. AAAI Press / The MIT Press. 1991. P. 296–303.
23. Higuchi T., Furuya T., Handa K., Takahashi N., Nishiyama H., Kokubu A. Ixm2: A parallel associative processor // In Proceedings of the 18th Annual International Symposium on Computer Architecture, ISCA '91, New York, NY, USA, 1991. ACM. P. 22–31.
24. Higuchi T., Furuya T., Handa K., Kokubu A. Initial evaluation of a parallel associative processor IXM2 // Microprocessing and Microprogramming. 1991. 31(1). P. 89 — 92.
25. Kitano H. Chapter ASTRAL: An Implementation on the IXM2 Associative Memory Processor / Speech-to-Speech Translation: A Massively Parallel Memory-Based Approach. Springer US, Boston, MA, 1994. P. 135–155.
26. Kitano H., Higuchi T., Tomita M. Massively parallel spoken language processing using a parallel associative processor IXM2 // The First International Conference on Spoken Language Processing, ICSLP 1990, Kobe, Japan. 1990. P. 917–920.
27. Oi K., Sumita E., Furuse O., Iida H., Higuchi T. Real-time spoken language translation using associative processors // Proceedings of the Fourth Conference on Applied Natural Language Processing. Stroudsburg, PA, USA, 1994., ANLC'94. P. 101–106.
28. Smith D. E., Hall J. S., Miyake K. Rutgers's CAM2000 Chip Architecture / Rutgers University, Department of Computer Science, Laboratory for Computer Science Research, 1993.
29. Smith D. E., Hall J. S., Miyake K. Rutgers's cam2000 chip architecture. Technical report, 1993.
30. Hsu C. H., Smith D. E., Levy S. Linear-C: A data-parallel extension to C / Technical Report LCSR-TR-273, Computer Science Department, Rutgers University, 1996.
31. Volpi G. Associative memory computing power and its simulation / Technical Report ATL-DAQ-PROC-2014-018, CERN, Geneva. 2014.
32. Annovi A., Beretta M., Bossini E., Crescioli F., Dell'Orso M., Giannetti P., Piendibene M., Sacco I., Sartori L., Tripiccione R. Associative memory design for the fasttrack processor (FTK) at ATLAS. // Real Time Conference (RT). 2010. 17th IEEE-NPSS. P. 1–3.
33. The ATLAS Collaboration. The atlas experiment at the CERN Large Hadron Collider // Journal of Instrumentation. 2008. 3(08). P. S08003.
34. The ATLAS Collaboration. Expected performance of the ATLAS experiment: detector, trigger and physics. CERN, Geneva, 2009.
35. Cho A. The discovery of the higgs boson // Science. 2012. 338(6114). P 1524–1525.
36. Maznas I. Ftk: The hardware fast tracker of the atlas experiment at CERN // EPJ Web Conf. 2017. 137. P. 12001.
37. Biesuz N., Citraro S., Donati S., et al. Highly parallelized pattern matching execution for atlas event real time reconstruction // IEEE Transactions on Nuclear Science (TNS). 2016. 63. P. 1147–1154.
38. Pagiantzis K., Sheikholeslami A. Content-addressable memory (CAM) circuits and architectures: A tutorial and survey. IEEE Journal of Solid-State Circuits. 2006. 41(3). P. 712–727.
39. Dell'Orso M., Ristori L. VLSI structures track finding // Nucl. Instr. and Meth. A. 1989. 278. P. 436–440.
40. Wissing Ch., Baird A., Baldinger R., et al. Performance of the H1 Fast Track trigger: Operation and commissioning results // Proceedings of the 14th IEEE-NPSS Conference on Real Time, RTC'05, Washington, DC, USA, 2005. IEEE Computer Society, P. 233–236.
41. Bardi A., et al. The CDF online silicon vertex tracker // Nucl. Instrum. Meth.. 2002. A485. P. 178–182.
42. Annovi A., Bardi A., Bitossi M., et al. A VLSI processor for fast track finding based on content addressable memories // IEEE Transactions on Nuclear Science. 2006. 53(4). P 2428–2433.
43. Masi S. Periodic report summary 1 — FTK (Fast Tracker for Hadron Collider experiments) // Technical Report 324318, Industry-Academia Partnerships and Pathways, Italy. 2015.

44. Asbah N. A hardware fast tracker for the ATLAS trigger // *Physics of Particles and Nuclei Letters*. 2016. 13(5). P. 527–531.
45. Maznas I. FTK: The hardware Fast Tracker of the ATLAS experiment at CERN // *Technical Report ATL-DAQ-PROC-2016-033*, CERN, Geneva. 2016.
46. Sotiropoulou C. L., Gkaitatzis S., Annovi A., et al. A Multi-Core FPGA-Based 2D-Clustering Implementation for Real-Time Image Processing // *IEEE Trans. Nucl. Sci.* 2014. 61(6). P. 3599–3606.
47. Okumura Y., Liu T., Olsen J., et al. Atca-based atlas FTK input interface system // *Journal of Instrumentation*. 2015. 10(04). P. C04032.
48. Ng K.F., and Rochester Institute of Technology. *Computer Engineering / Novel Low Power CAM Architecture*. Rochester Institute of Technology, 2008.
49. Xu W., Zhang T., Chen Y. Design of spin-torque transfer magnetoresistive RAM and CAM/TCAM with high sensing and search speed // *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. 2010. 18(1). P. 66–74.
50. Imani M., Rahimi A., Rosing T. S. Resistive configurable associative memory for approximate computing / 2016 Design, Automation Test in Europe Conference Exhibition (DATE). 2016. P. 1327–1332.
51. Стемпковский А. Л., Климов А. В., Левченко Н. Н., Окунев А. С. Методы адаптации параллельной потоковой вычислительной системы под задачи отдельных классов // *Информационные Технологии И Вычислительные Системы*. 2009. № 3. С. 12–21.
52. Змеев Д. Н. Средства проектирования высокопроизводительных потоковых вычислительных систем // *Проблемы Разработки Перспективных Микро- И Нанoeлектронных Систем (МЭС)*. 2016. № 2. С. 159–163.



Снытникова Татьяна Валентиновна — младший научный сотрудник Институт вычислительной математики и математической геофизики СО РАН. e-mail: snytnikovat@ssd.sscs.ru; Тел.: +7-913-80-88-03

В 2001 году закончила ММФ НГУ по специальности „прикладная математика и информатика“.

Исследовательские интересы: архитектура вычислительных систем, ассоциативные параллельные алгоритмы на графах.

Research interests: associative parallel algorithms on graphs, architecture of computing systems.

Institute of Computational Mathematics and Mathematical Geophysics SB RAS, junior researcher.

Дата поступления — 18.04.2019